

JP61152076 A

ELECTRODE WIRING FOR SEMICONDUCTOR DEVICE

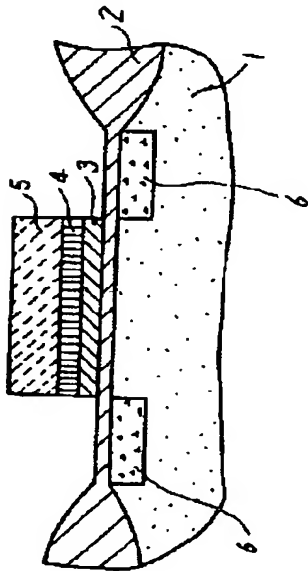
HITACHI LTD

Inventor(s): IWATA SEIICHI ; YAMAMOTO NAOIKI ; KOBAYASHI NOBUYOSHI

Application No. 59272919 JP 59272919 JP, Filed 19841226, A1 Published 19860710

**Abstract:** PURPOSE: To make the control of the work function of a gate electrode easy similar to a silicon gate by inserting titanium nitride or titanium boride specifically thick and stable at a high temperature to restrain the reaction of a high melting point metal and polycrystalline silicon.

CONSTITUTION: Polycrystalline silicon 3 100-200nm thick, e.g., 10nm, is formed on the oxide film 2 on P-type silicon 1 by chemical evaporation. Then, titanium nitride (or titanium boride) 4 10-200nm thick, e.g., 100nm thick, is formed on the polycrystalline silicon 3 by sputtering evaporation. Then, a high melting point metal, e.g., tungsten 5, 100-500nm thick, e.g., 200nm thick, is formed on the titanium nitride or titanium boride 4 by also sputtering evaporation. An N<sup>+</sup> layer 6 is formed by implanting an As<sup>+</sup> ion using an electrode as a mask after the process of dry-etching and an MOS field effect type transistor is made. If the work function of the electrode is sought from the characteristics of a transistor changed the thickness of silicon oxide to 10-500nm, it is nearly equal to that of the polycrystalline silicon 4.2eV. The dependency on the channel length of threshold voltage is also nearly the same with the case of a silicon gate.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-152076

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)7月10日

H 01 L 29/78  
29/62

8422-5F

審査請求 未請求 発明の数 1 (全2頁)

⑮ 発明の名称 半導体装置用電極配線

⑯ 特 願 昭59-272919

⑰ 出 願 昭59(1984)12月26日

⑱ 発 明 者 岩 田 誠 一 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 山 本 直 樹 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 発 明 者 小 林 伸 好 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 高橋 明夫 外1名

明 細 書

発明の名称 半導体装置用電極配線

特許請求の範囲

最下層として、厚さ1～200nmの多結晶シリコン、その上の厚さ10～200nmのちつ化チタンあるいはほう化チタン、更にその上の厚さ100～500nmの高融点金属からなる三層の半導体装置用電極配線。

発明の詳細な説明

〔発明の利用分野〕

本発明は、MOS半導体素子用高融点金属ゲート電極配線に係り、特に、仕事関数制御が容易なものに関する。

〔発明の背景〕

最近、半導体素子の高集積化に伴い、電極配線として、従来の多結晶シリコンより低抵抗の高融点金属が検討されている。ところが、高融点金属の仕事関数が多結晶シリコンのそれより大きいため、チャネル長が短い領域でしきい電圧の制御が困難になる。その対策として、多結晶シリコンと

高融点金属の2層にすればよいが、高温熱処理に耐えられないので、間に酸化シリコンを挟むこと(特開昭58-4973)が考えられるが、均一性のよい酸化シリコン膜を形成するのはかなり困難であった。

〔発明の目的〕

本発明の目的は、このような問題を解決し、しかも、仕事関数の制御を可能にすることにある。

〔発明の概要〕

本発明では高融点金属と多結晶シリコンとの反応を抑制するために、厚さ10～200nmの高温安定性の高いちつ化チタンあるいはほう化チタンを間に挟むことにより、上記問題を解決した。下限の10nmは反応抑制に必要な最小厚さで、上限の200nmは、これ以上の厚さでは電極がくなりすぎるか、抵抗が高くなりすぎる(段差が高くなりすぎる)厚さである。多結晶シリコンの厚さの下限は1nmで、これは均一にゲート酸化膜を覆える最小厚さで、上限は200nmで、これ以上では、電極が厚くなりすぎるか、抵抗が高

くなりすぎる厚さである。最上層の高融点金属は低抵抗のタングステンやモリブデンのような金属で、その厚さの下限は100nmで、シート抵抗を約1 $\Omega$ / $\square$ 以下にするために必要な厚さで、上限は500nmでこれ以上では電極が厚くなりすぎ段差が高くなりすぎる厚さである。

〔発明の実施例〕

以下、実施例で本発明を更に詳細に説明する。

第1図に示すように、p型シリコン1上の酸化膜2上に厚さ10nmの多結晶シリコン3を化学蒸着により、その上に厚さ100nmのちつ化チタン4をスパッタ蒸着法により、更にその上に厚さ200nmのタングステン5を同じくスパッタ蒸着法により形成し、ドライエッチングによる加工後、電極をマスクとし、As<sup>+</sup>イオン打込みを行ないn<sup>+</sup>層6を形成し、MOS電界効果型トランジスタを作った。酸化シリコンの厚さを10～500nmまで変えたトランジスタの特性から電極の仕事関数を求めると、多結晶シリコンのそれとほぼ同じの4.2eVとなった。そして、しきい

電圧のチャネル長依存性はシリコンゲートの場合とほぼ同じになった。副次効果として、三層電極にしたことにより、打込みイオンに対するマスク性が向上し、高融点金属だけの場合のチャネリングを阻止することができた。なお、ここで、ちつ化チタンの代りにほう化チタン、タングステンの代りにモリブデンを用いても、同様の効果が得られた。

〔発明の効果〕

本発明によれば、ゲート電極の仕事関数の制御がシリコンゲートと同様に容易になり、しかも、イオン打込みのマスク効果も向上するので、従来のシリコンゲートプロセスとの適合性があるメタルゲートプロセスが実現される。

図面の簡単な説明

第1図は本発明の電極を用いたMOS電界効果型トランジスタの断面を示す。

1…p型シリコン、2…酸化シリコン、3…多結晶シリコン、4…ちつ化チタン、5…タングステン、6…n<sup>+</sup>層。

第 1 図

